

PLASMA ETCHING METHOD

Patent Number: JP8017804

Publication date: 1996-01-19

Inventor(s): TATSUMI TETSUYA

Applicant(s): SONY CORP

Requested Patent: JP8017804

Application Number: JP19940152475 19940704

Priority Number(s):

IPC Classification: H01L21/3065; C23F4/00

EC Classification:

Equivalents: JP3297963B2

Abstract

PURPOSE: To eliminate instability of a process due to the deposit of a reaction product onto the inner wall of an etching chamber by removing natural oxide film on the surface of Si material layer by the plasma discharge of treatment gas including F gas, cleaning the inner wall surface of the chamber, and then performing plasma etching.

CONSTITUTION: A substrate 1 to be etched is set onto a substrate stage 2. In this case, SiBr_x reaction product 6 generated by a previous Si trench etching is adhered to the inner wall surface of a bell jar 4. Then, plasma discharge 5 by the F gas is performed for five seconds. Radical reaction due to plasma 7 generated by the dissolution of SF₆ disappears since a strong natural oxide film is broken through by a mechanism which is assisted by the incidence of such ions as SF_x<+>, thus exposing the surface of the Si substrate 1. At the same time, the reaction product 6 adhering to the inner wall surface of the bell jar 4 is also cleaned. Trench etching is successively performed.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-17804

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.⁶

H 01 L 21/3065
C 23 F 4/00

識別記号

庁内整理番号

F I

技術表示箇所

E 9352-4K

H 01 L 21/ 302

F

N

審査請求 未請求 請求項の数 3 O.L (全 7 頁)

(21)出願番号

特願平6-152475

(22)出願日

平成6年(1994)7月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 辰巳 哲也

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 弁理士 高橋 光男

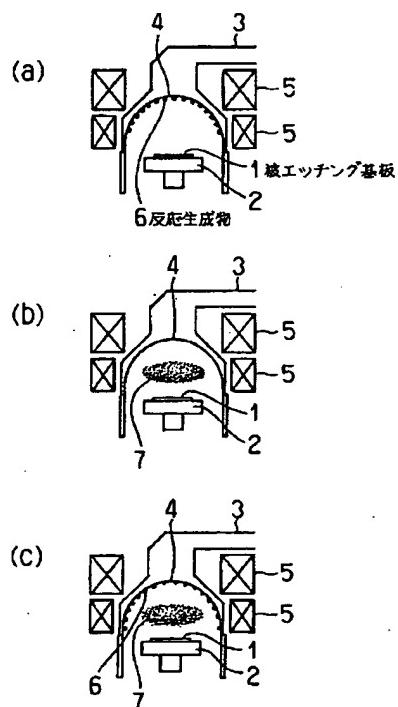
(54)【発明の名称】 プラズマエッティング方法

(57)【要約】

【目的】 C₁系やB_r系ガスを用いてS_i系材料層を多枚連続的にプラズマエッティングする場合の、安定性と均一性を向上する。

【構成】 被エッティング基板1枚毎に、F系ガスによるプラズマ放電の前処理を施す。また単極式静電チャックを用いる場合には、同じくF系ガスによるプラズマ放電の後処理を施す。

【効果】 エッティングチャンバ内壁面に付着したS_iC₁、S_iB_r等の反応生成物を除去するとともに、自然酸化膜のブレークスルーや残留電荷の除去を行なうことができる。このため、被エッティング基板1枚毎に常に安定したプロセス条件でのプラズマエッティングが可能で、スループットの低下もない。



1

【特許請求の範囲】

【請求項1】 C₁系ガス、B_r系ガスおよびI系ガスから選ばれるいずれか1種を含むエッティングガスにより、被エッティング基板上のS_i系材料層をエッティングするプラズマエッティング方法において、F系ガスを含む処理ガスのプラズマ放電により、該S_i系材料層表面の自然酸化膜を除去するとともに、エッティングチャンバ内壁面をクリーニングした後、前記プラズマエッティングを施すことを特徴とする、プラズマエッティング方法。

【請求項2】 被エッティング基板を単極式静電チャックにより保持しつつ、C₁系ガス、B_r系ガスおよびI系ガスから選ばれるいずれか1種を含むエッティングガスにより、該被エッティング基板上のS_i系材料層をエッティングするプラズマエッティング方法において、前記プラズマエッティングを施した後、F系ガスを含む処理ガスのプラズマ放電により、該被エッティング基板の残留電荷除去を施すとともに、エッティングチャンバ内壁面をクリーニングすることを特徴とする、プラズマエッティング方法。

【請求項3】 S_i系材料層は、シリコン、高融点金属シリサイドおよび高融点金属層ポリサイドからなる群から選ばれる少なくとも1種であることを特徴とする、請求項1および2記載のプラズマエッティング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はプラズマエッティング方法に関し、さらに詳しくは同一のエッティングチャンバ内で連続的に多数回のエッティング処理を重ねても、安定で均一なエッティング特性が得られるS_i系材料層のプラズマエッティング方法に関する。

【0002】

【従来の技術】 LSI等の半導体装置のデザインルールがハーフミクロンからクオータミクロンのレベルへと微細化されるに伴い、プラズマエッティング等の微細加工技術に対する要求は一段と厳しさを増している。中でも、多結晶シリコンや高融点金属シリサイドを用いたMISFETのゲート電極や、S_i基板へのトレンチ加工においては、高異方性、高選択比、高エッティングレート、低汚染そして低ダメージ等の諸要求を高いレベルで満足させ得るプラズマエッティング方法が要求される。

【0003】 サイドエッティングのない高異方性エッティングと下地絶縁膜との高選択比を両立するエッティングガスとして、近年C₁(塩素)系ガス、B_r(臭素)系ガスあるいはI(ヨウ素)系ガスを含むエッティングガスが有効とされている。これは、B_rラジカル(B_r⁺)やC₁ラジカル(C₁⁺)あるいはIラジカル(I⁺)の化学的活性が、通常用いられるCF₄等F(フッ素)系ガスから生成するFラジカル(F⁺)よりも小さいため、ラジカル反応主体による等方性エッティングを抑制できる。

ためである。

【0004】 またエッティングの反応生成物であるSiBr_xやSiCl_xあるいはSiI_xが被エッティング基板上に堆積し、イオン入射の少ないパターン側面に残留して側壁保護膜を形成するので、ラジカルのアタックや垂直方向以外からの入射イオンからパターン側面を保護する効果が期待されるためである。

【0005】 これら反応生成物の堆積を助長するとともに、ラジカル反応をさらに低減するために、被エッティング基板温度を例えば0℃以下に冷却する低温エッティングが施される。このためには、冷媒等により低温冷却された基板ステージに被エッティング基板を静電チャックにより密着させ、さらにHe等の熱伝導ガスを基板ステージ表面から被エッティング基板の裏面に向けて少量流し、熱伝導効率を高めることが行われる。静電チャックとしては、エッティングの面内均一性の観点から、単極式静電チャックが一般的である。プラズマエッティング終了後には、被エッティング基板上に残留している電荷をHe等の希ガスプラズマ放電により除去した後、被エッティング基板を基板ステージから離脱し搬送する。かかる方法の詳細に関しては、本願出願人が先に出願した特願平5-258614号明細書に記載されている。

【0006】 これらC₁系ガス、B_r系ガスおよびI系ガスを用いてプラズマエッティングする場合においても、均一で安定なパターニングを施すためには、被エッティング層表面に形成されているSiO₂をはじめとする自然酸化膜を予め除去した後、パターニングを施すことが望ましい。

【0007】

【発明が解決しようとする課題】 ところで、SiBr_xやSiCl_xあるいはSiI_x等のエッティング反応生成物は、被エッティング基板上に堆積するとともに、エッティングチャンバ内壁面にも付着する。とりわけ、量産ラインでの連続処理時においては反応生成物の付着量が加算されてゆくので、蓄積した反応生成物が逆にスパッタアウトされてプラズマ雰囲気中に放出される量も増え、エッティングチャンバ内は反応生成物過剰の雰囲気となる。従ってこの場合には、被エッティング層のエッティングレートの低下、パターンのテーパ形状化による寸法変換差の発生等、プロセスの不安定性を招く一因となっていた。

【0008】 また上述の反応生成物は酸化され易い物質であるので、プラズマエッティング終了後エッティングチャンバ内を大気解放したり、レジストマスクをアッシングする場合には酸化物に変換され、これが剥離してパーティクル汚染の原因となっていた。

【0009】 エッティングチャンバ内壁に付着したこれら反応生成物は、例えば数十枚の被エッティング基板を連続的に処理する各ロット終了毎に、F系ガスによるドライクリーニングを行って除去する方法が採られている。し

かし連続的処理中に徐々に蓄積する反応生成物によるプロセスの変動には対応できないのが現状であった。

【0010】そこで本発明の課題は、C I系ガス、B r系ガスやI系ガスを含むエッティングガスにより、被エッティング基板上のS i系材料層をエッティングするプラズマエッティング方法において、エッティングチャンバ内壁への反応生成物の堆積に起因するプロセスの不安定性を排除し、これにより安定で均一なパターン形状が得られるプラズマエッティング方法を提供することである。

【0011】また本発明の別の課題は、S i系材料層上の自然酸化膜の除去や、さらに単極式静電チャックを用いるエッティング方法においてはエッティング終了後の被エッティング基板の残留電荷除去をも兼ねた、上述したプラズマエッティング方法を提供することである。本発明の上記以外の課題は本明細書および添付図面の説明により明らかにされる。

【0012】

【課題を解決するための手段】本発明のプラズマエッティング方法は、上述の課題を解決するために発案したものであり、C I系ガス、B r系ガスおよびI系ガスから選ばれるいずれか1種を含むエッティングガスにより、被エッティング基板上のS i系材料層をエッティングするプラズマエッティング方法において、F系ガスを含む処理ガスのプラズマ放電により、このS i系材料層表面の自然酸化膜を除去するとともに、エッティングチャンバ内壁面をクリーニングした後、プラズマエッティングを施すことを特徴とするものである。

【0013】また本発明のプラズマエッティング方法は、被エッティング基板を単極式静電チャックにより保持しつつ、C I系ガス、B r系ガスおよびI系ガスから選ばれるいずれか1種を含むエッティングガスにより、被エッティング基板上のS i系材料層をエッティングするプラズマエッティング方法において、このプラズマエッティングを施した後、F系ガスを含む処理ガスのプラズマ放電により、被エッティング基板の残留電荷除去を施すとともに、エッティングチャンバ内壁面をクリーニングすることを特徴とするものである。

【0014】ここでS i系材料層は、非晶質S i、多結晶S iおよびS i基板を含むシリコン材料、高融点金属シリサイドおよび高融点金属ポリサイド等の積層材料を含むものである。またF系ガスを含む処理ガスとは、S F₆、N F₃、N₂ F₄、HF、F₂およびXeF₂等非堆積性のF原子を含むガスあるいはこれらのガスの混合ガス、さらにはこれらと他の非堆積性ガスとの混合ガスを指し示すものである。

【0015】

【作用】本発明のポイントは、従来各ロット終了毎の行っていたF系ガスによるドライクリーニングを、各プラズマエッティングの開始前または終了後毎に行う点にある。即ち、例えば枚葉式エッティング装置であれば、被工

ッティング基板1枚毎にエッティングチャンバの内壁面をクリーニングするのである。

【0016】本発明においては、このクリーニングをF系ガスを含む処理ガスのプラズマ放電により行い、この時に被エッティング層表面に形成されている自然酸化膜の除去ステップを同時に施す。これにより、前回のプラズマエッティングによりエッティングチャンバ内壁面に堆積した反応生成物は除去され、当回のプラズマエッティングにおいてはクリーンなチャンバ内で安定で均一な処理を施すことが可能となる。

【0017】また単極式静電チャックを用いるプラズマエッティングにおいては、このクリーニングをF系ガスを含む処理ガスのプラズマ放電により行い、この時に被エッティング基板の残留電荷除去ステップを同時に施す。これにより、当回のプラズマエッティングによりエッティングチャンバ内壁面に堆積した反応生成物は除去され、次回のプラズマエッティングにおいてはクリーンなチャンバ内で安定で均一な処理を施すことが可能となる。

【0018】

20 【実施例】以下、本発明の具体的実施例につき図面を参照しながら説明する。まず、図1(a)～(c)および図3(a)～(c)は実施例で用いたR Fバイアス印加型E C Rプラズマエッティング装置の使用状態を示す概略断面図である。すなわち、2.45GHzのマイクロ波を導波管3を経由して石英等の誘電体材料からなるベルジャ4内に導入し、ソレノイドコイル5により発生する0.0875Tの磁界によりベルジャ4内にE C R放電によるプラズマ7を生成する。ベルジャ4はエッティングチャンバを構成する主要部分であり、その下部には被エッティング基板1を載置する基板ステージ2を配設する。なお両図とも、基板ステージ2の温度制御手段、静電チャック、ガス導入孔、真空ポンプ等の細部は図示を省略する。

【0019】実施例1

本実施例は、B r系ガスを用いてS i基板にトレンチを形成する際に本発明を適用した例であり、これを図1(a)～(c)および図2(a)～(c)を参照して説明する。本実施例で用いた被エッティング基板は、図2(a)に示すように、S i基板1に0.35μmの開口

40 径を有するレジストマスク13を形成したものである。S i基板1上にはS iO₂からなる自然酸化膜12が薄く形成されており、この自然酸化膜12の厚さ、膜質等は不規則なものである。したがって、この状態のままS iトレンチエッティングを開始すると、安定で均一な形状のトレンチ加工に支障をきたす虞れがある。

【0020】そこでまず、この自然酸化膜12の除去を行う。図2(a)に示す被エッティング基板1を図1(a)に示すエッティング装置の基板ステージ2上にセットする。この際、ベルジャ4の内壁面には前回のS iトレンチエッティングにより生成したS iB r系の

反応生成物6が付着している。言うまでもなく、図1(a)ではこの反応生成物6は誇張して示してある。次に一例として下記条件により、F系ガスによるプラズマ放電を5秒間施す。

S F ₆	50 sccm
ガス圧力	1.0 Pa
マイクロ波パワー	850 W (2.45 GHz)
R Fバイアスパワー	40 W (2 MHz)
基板温度	0 °C

本プラズマ放電工程においては、S F₆の解離により生成するプラズマ7によるラジカル反応が、S F₆等のイオン入射にアシストされる機構で強固な自然酸化膜12がブレークスルーされて消失し、図2(b)に示すようにS i基板1の表面が露出する。同時に、図1(b)に示すようにベルジャ4内壁面に付着していた反応生成物6もクリーニングされる。

【0021】続けて、一例として下記条件によりS i基板11のトレンチエッティングを行う。

H Br	120 sccm
ガス圧力	0.5 Pa
マイクロ波パワー	850 W (2.45 GHz)
R Fバイアスパワー	30 W (2 MHz)
基板温度	0 °C

本エッティング工程では、図1(c)および図2(c)に示すように、H Brによるプラズマ7が生成し、S i基板11はBr⁺によるラジカル反応がBr⁺の入射にアシストされる形でエッティングが進行する。形成されるトレンチ14の側面には、S i Br_x系の反応生成物からなる側壁保護膜(図示せず)が形成され、異方性エッティングが達成される。この側壁保護膜は、レジストマスク13の分解生成物を一部含むものである。同時に、S i Br_x系の反応生成物6はベルジャ4の内壁面に付着する。エッティング終了後、加工済の被エッティング基板を搬出し、新たな被エッティング基板を搬入し、再び図1(a)の状態となる。

【0022】本実施例によれば、トレンチエッティング開始前はS i基板11表面の自然酸化膜12は除去された状態であるとともに、ベルジャ4内壁面の反応生成物6も除去された状態であるので、前回のエッティング工程の履歴を受けることなく、すなわち反応生成物過剰の雰囲気となることなく、安定で均一なS iトレンチエッティングを継続して施すことが可能である。

【0023】実施例2

本実施例は単極式静電チャックを有するエッティング装置により、高融点金属ポリサイド層をC1系ガスによりエッティングする場合に本発明を適用した例であり、これを図3(a)～(c)および図4(a)～(c)を参照して説明する。本実施例に用いたエッティング装置は、基本的には実施例1で用いたR Fバイアス印加型E C R プラズマエッティング装置と同じであるが、図3(a)～

(c)に示す装置は、基板ステージ2に単極式静電チャック(図示せず)を具備するものである。

【0024】本実施例で用いた被エッティング基板は、図4(a)に示すように、S i基板11上にS iO₂等のゲート絶縁膜15、不純物をドープした多結晶シリコン層16、WSi_x層17が順次被着され、0.35 nm幅のレジストマスク13を形成したものであり、例えばゲート電極配線のパターニングに適用するものである。各層の厚さは、一例として絶縁層15が10 nm、多結晶シリコン層16およびWSi_x層17はともに100 nmである。この被エッティング基板1を図3(a)に示したエッティング装置の低温冷却された基板ステージ2上にセッティングし、単極式静電チャックにより被エッティング基板を吸着保持する。次に一例として下記条件により高融点金属ポリサイドゲート電極のパターニングを行う。

C l ₂	70 sccm
O ₂	10 sccm
ガス圧力	0.4 Pa
マイクロ波パワー	850 W (2.45 GHz)
R Fバイアスパワー	40 W (2 MHz)
基板温度	0 °C

本エッティング工程では、C l₂/O₂混合ガスのプラズマ7が生成し、C l⁺によるラジカル反応がC l⁺、O⁺のイオン入射にアシストされる形で高速の異方性エッティングが進行する。パターニングされる高融点金属ポリサイドのパターン側面には、反応生成物S iCl_xが側壁保護膜18となって付着し、異方性の向上に寄与する。側壁保護膜18はレジストマスク13の分解生成物をも含むものである。同時にこの反応生成物6はベルジャ4の内壁面にも付着する。

【0025】ポリサイド層のエッティングが終了し、単極式静電チャックの高圧DC電源を切っても、被エッティング基板1には残留電荷が存在しており、基板ステージ2から無理に離脱させた場合は被エッティング基板1に損傷を生じる場合がある。そこでつぎにこの残留電荷の除去ステップとして、F系ガスを含む処理ガスにより、一例として下記条件によりプラズマ放電を5秒間施す。

S F ₆	30 sccm
O ₂	20 sccm
ガス圧力	0.5 Pa
マイクロ波パワー	850 W (2.45 GHz)
R Fバイアスパワー	0 W
基板温度	0 °C

本プラズマ放電工程では、図3(c)に示すようにS F₆/O₂混合ガスによるプラズマ7が生成し、ベルジャ4内壁面の反応生成物6が除去される。同時に、被エッティング基板1上の残留電荷も中和され、基板ステージ2からの離脱および搬送は容易なものとなる。さらに、エッティングされたポリサイド電極パターン側面の側壁保護

膜18もこのF系プラズマにより除去される。本プラズマ放電条件は、RFバイアスパワーが0Wであり、低イオンエネルギー条件であることから、ゲート絶縁膜15に与えるダメージは無視しうるレベルである。この状態を図4(c)に示す。加工済みの被エッティング基板をエッティング装置から搬出後、新しい被エッティング基板を搬入し、再び図3(a)の状態となる。

【0026】本実施例によれば、エッティング終了後の被エッティング基板上の残留電荷除去ステップと同時に、エッティングチャンバ内壁面の反応生成物6も除去された状態からエッティングが開始されるので、前回のエッティング工程の履歴を受けることなく、すなわち反応生成物過剰の雰囲気となることなく、安定で均一なポリサイドゲートエッティングを継続して施すことが可能である。さらに、側壁保護膜の除去も同時に達成されるので、プロセス全体のスループットの向上に寄与する。

【0027】以上、本発明を2例の実施例により説明したが本発明はこれら実施例になんら限定されるものではなく、種々の実施態様が可能である。

【0028】例えばエッティングガスとしてC1系ガスとBr系ガスを例示したが、HIやI₂等のI系ガスを含むエッティングガスによりSi材料層をエッティングする場合にも適用可能である。この場合にも、反応生成物として比較的蒸気圧の小さいSiI₂系の反応生成物がエッティングチャンバ内壁面の付着し易いものである。

【0029】F系ガスとしてSF₆を例示したが、NF₃、N₂F₄、HF、F₂およびXeF₂等非堆積性のF原子を含むガスあるいはこれらのガスの混合ガス、さらにはこれらと他の非堆積性ガスとの混合ガスを適宜用いてよい。

【0030】Si系材料層として単結晶Si基板および高融点金属ポリサイド層を例示したが、非晶質Si、多結晶Si、高融点金属シリサイド等のパターニングに本発明を適用してもよい。

【0031】エッティング装置として、基板バイアス印加型ECRプラズマエッティング装置を用いたが、平行平板型RIE装置、マグネットロンRIE装置であってもよい。ヘリコン波プラズマエッティング装置、TCP(Transformer Coupled Plasma)エッティング装置、ICP(Inductively Coupled Plasma)エッティング装置等の高密度プラズマエッティング装置を用いれば、さらなる低ダメージ、高エッティングレート、被エッティング基板内の均一性等が期待できる。

【0032】

【発明の効果】以上の説明から明らかなように、本発明によればC1系ガス、Br系ガスおよびI系ガスを含むエッティングガスによりSi系材料層をエッティングする場合に、エッティングチャンバ内壁面に付着する反応生成物を蓄積することなく、エッティング処理1回毎にクリー

ングするので、エッティングチャンバ内が反応生成物過剰の雰囲気となることがない。このため、エッティングレートの低下や側壁保護膜の過剰によるパターンプロファイルのテーパ化という問題は発生せず、常に安定で均一なエッティング処理を施すことが可能となる。またチャンバ内に蓄積する反応生成物の剥離によるパーティクルレベルの低下もなく、クリーンなプロセスが実現できる。

【0033】またチャンバクリーニングと同時に、被エッティング層表面の自然酸化膜の除去を施すことができる10ので、これもプロセスの安定化に寄与する。さらに、単極式静電チャックを用いる場合には被エッティング基板上の残留電荷除去を行うことが可能であり、スループットの向上を図ることが可能となる。

【0034】本発明のプラズマエッティング方法は、特にサブハーフミクロンクラスの微細なパターンを有する被エッティング基板を連続的に処理する場合に、各被エッティング基板1枚毎のプロセスの均一性、安定性の向上にその効果が著しく、本発明がかかる半導体装置の製造プロセスに寄与する意義は大きい。

20 【図面の簡単な説明】

【図1】本発明を適用した実施例1で用いたRFバイアス印加型ECRプラズマエッティング装置の使用状態を示す概略断面図であり、(a)は前回のプラズマエッティングにより、チャンバ内壁面に反応生成物が付着している状態、(b)はF系ガスを含む処理ガスのプラズマ放電によりチャンバ内壁面に反応生成物を除去している状態、(c)は今回のプラズマエッティングによりチャンバ内壁面に反応生成物が付着した状態である。

【図2】本発明を適用した実施例1におけるプラズマエッティング方法をその工程順に説明する概略断面図であり、(a)は自然酸化膜が形成されているSi基板上にレジストマスクを形成した状態、(b)はF系ガスを含む処理ガスのプラズマ放電によりレジストマスク開口面の自然酸化膜を除去した状態、(c)は続けてSi基板にトレンチエッティングを施した状態である。

【図3】本発明を適用した実施例2で用いたRFバイアス印加型ECRプラズマエッティング装置の使用状態を示す概略断面図であり、(a)は被エッティング基板を単極式静電チャックを有する基板ステージ上にセッティングした状態、(b)はプラズマエッティングを行っている状態、(c)はF系ガスを含む処理ガスのプラズマ放電によりチャンバ内壁面に反応生成物を除去すると共に被エッティング基板上の残留電荷を除去している状態である。

【図4】本発明を適用した実施例2におけるプラズマエッティング方法をその工程順に説明する概略断面図であり、(a)は多結晶シリコン層上にWSi₁層を積層し、レジストマスクを形成した状態、(b)は側壁保護膜を付着形成しつつ多結晶シリコン層とWSi₁層をパターニングした状態、(c)はF系ガスを含む処理ガス

9

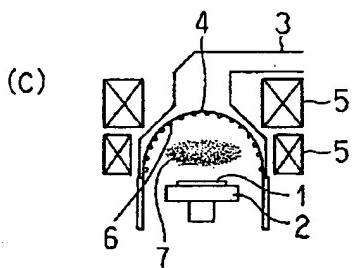
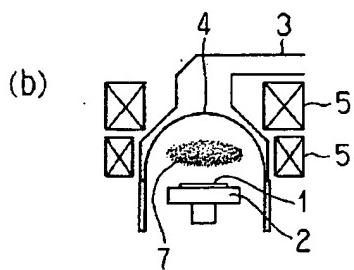
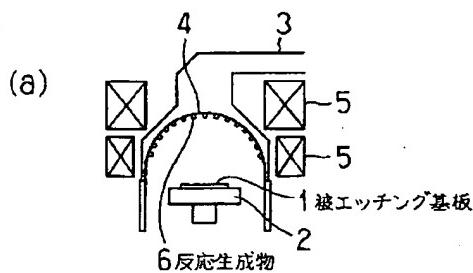
のプラズマ放電により残留電荷を除去すると共に側壁保護膜を除去した状態である。

【符号の説明】

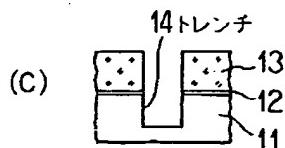
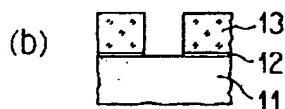
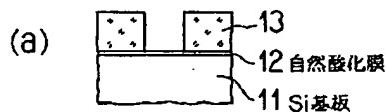
- 1 被エッチング基板
- 2 基板ステージ
- 3 マイクロ波導波管
- 4 ベルジャ
- 5 ソレノイドコイル
- 6 反応生成物

- | | |
|----|--------------------|
| 7 | プラズマ |
| 11 | Si基板 |
| 12 | 自然酸化膜 |
| 13 | レジストマスク |
| 14 | トレンチ |
| 15 | ゲート絶縁膜 |
| 16 | 多結晶シリコン層 |
| 17 | WSi _x 層 |
| 18 | 側壁保護膜 |

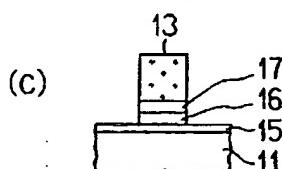
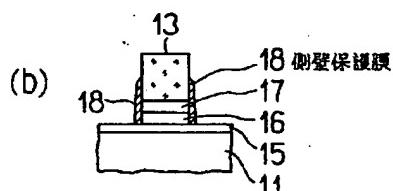
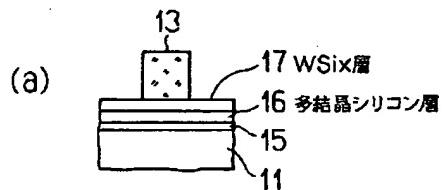
【図1】



【図2】



【図4】



【図3】

